

(11)Publication number : 05-108546  
(43)Date of publication of application : 30.04.1993

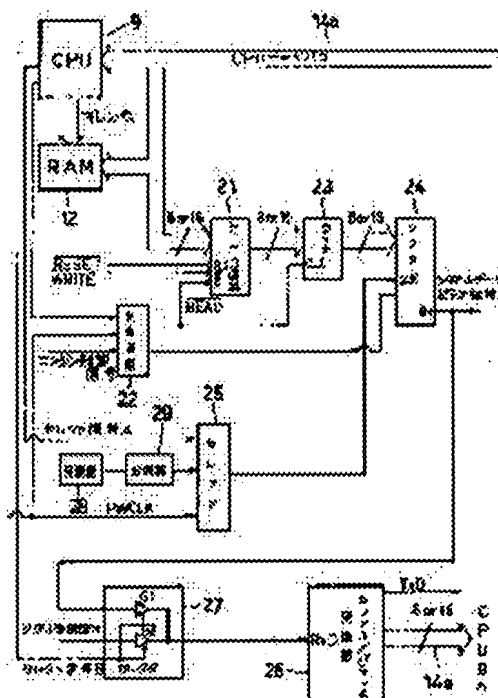
G06F 13/28  
G11C 7/00

(71)Applicant : RICOH CO LTD

(72)Inventor : OKUBO HIROKI

(57)Abstract:

**CONSTITUTION:** When executing the check of the video data and the self-diagnosis of the peripheral element at a CPU 9, serial data transforming video data prepared on a RAM 12 by a FIFO circuit 21, latch 23 and shifter 24 are inputted to a serial/parallel converter 26 synchronously with a band rate clock generated by an oscillator 28 and a frequency divider 29, and parallel data converted there are compared with data written in the FIFO circuit 21. When the DMA controller is provided, in the self-diagnostic mode, source data executing DMA are compared with destination data, self-diagnosis is executed and in a DMA mode, only the DMA operation is executed.



## [Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-108546

(43)公開日 平成5年(1993)4月30日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/28	3 1 0 L	8725-5B		
G 1 1 C 7/00	3 1 8	7323-5L		

審査請求 未請求 請求項の数 3 (全 13 頁)

(21)出願番号 特願平3-264141

(22)出願日 平成3年(1991)10月11日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 大久保 博樹

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

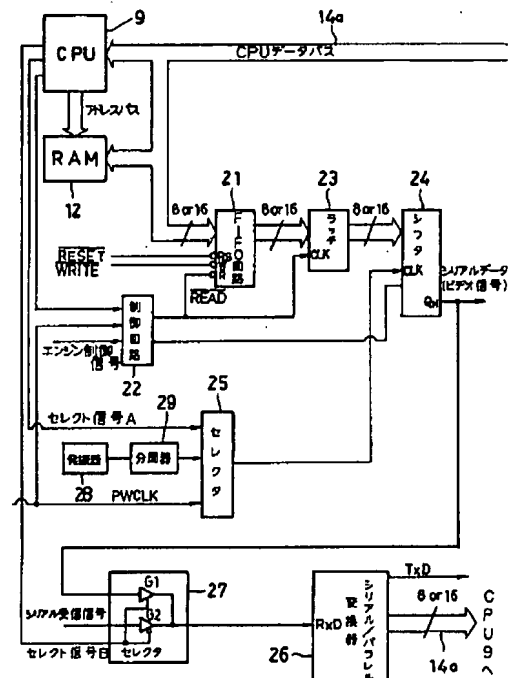
(74)代理人 弁理士 大澤 敬

(54)【発明の名称】 プリンタ制御装置

(57) 【要約】

【目的】 プリント制御装置がビデオデータのチェック及び周辺素子の自己診断を行なえるようにすること、プリント制御装置内のDMAコントローラがDMAの自己診断を行なえるようにすること。

【構成】 CPU 9は、ビデオデータのチェック及び周辺素子の自己診断を行なう場合には、RAM 12上で作成したビデオデータをFIFO回路21、ラッチ23、シフト24によって変換したシリアルデータを、発振器28及び分周器29によって生成されるボーレートクロックに同期させてシリアル/パラレル変換器26に入力させ、そこで変換されたパラレルデータとFIFO回路21に書き込んだデータとの比較を行なう。また、DMAコントローラを有する場合は、その自己診断モードの時にはDMAを行なったソースデータとディストーションデータとを比較して自己診断を行ない、DMAモードの時にはDMA動作のみを行なう。



## 【特許請求の範囲】

【請求項1】 上位装置から受信したデータに基づいてビデオデータを作成し、そのビデオデータをシリアルデータに変換してエンジンに出力するプリンタ制御装置において、

前記シリアルデータをパラレルデータに変換してビデオデータのチェック及び周辺素子の自己診断を行なう手段と、前記シリアルデータを通常のビデオデータの出力とビデオデータのチェック及び周辺素子の自己診断出力とに制御信号により振り分ける手段とを設けたことを特徴とするプリンタ制御装置。

【請求項2】 メモリ間で直接データ転送を行なうダイレクトメモリアクセスの制御をするDMAコントローラを備えたプリンタ制御装置において、前記DMAコントローラが、ダイレクトメモリアクセスを行なったソースデータとディストネーションデータとを比較する自己診断手段を有し、前記ダイレクトメモリアクセスと自己診断とを選択的に実行するようにしたことを特徴とするプリンタ制御装置。

【請求項3】 請求項2記載のプリンタ制御装置において、自己診断手段による自己診断結果がエラーと判断された場合には、ダイレクトメモリアクセス動作を中止して他の手段によってデータ転送を行なうようにしたことを特徴とするプリンタ制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、レーザプリンタ等の光プリンタやデジタル複写機のプリンタ部等の画像形成装置におけるプリンタ制御装置に関する。

## 【0002】

【従来の技術】 上記のようなプリンタ制御装置においては、上位装置から受信したデータに基づいてビデオデータを作成し、そのビデオデータをシリアルデータに変換してエンジンに出力するようにしている。このようなプリンタ制御装置においては、ビデオデータ出力用のバッファとしてFIFO回路を使用することが多く、このFIFO回路へのデータの書き込みはマイクロコンピュータあるいはDMAコントローラによるダイレクトメモリアクセス(DMA)によって行ない、そのデータの読み出しはエンジンからの信号によって行なわれている。

【0003】 ところで、FIFO回路を用いたプリンタ制御装置では、例えば特開平1-197835号公報に見られるように、FIFO回路のデータ入力端子及びデータ出力端子をデータ伝送用と監視用とに分け、監視用の入力端子に監視用データを入力し、その入力データと監視用の出力端子から出力されるデータとを照合することによってFIFO回路が正常に動作している否かを判断できるようにしたものがある。

【0004】 しかし、このようなプリンタ制御装置では、FIFO回路の入出力端子の一部を監視用としてし

か使用できないうえに、その監視用の入出力端子に対してのみ監視しており、監視用データのメモリ領域のビット破壊等は検出できるが、ビデオデータのメモリ領域のビット破壊等は検出できなかった。

【0005】 そこで、本出願人は先にFIFO回路内のデータを読み出す毎にアップカウント又はダウンカウントし、そのカウント値が予め設定された値に達した時にFIFO回路から読み出されたデータを記憶し、その記憶されたデータの内容とFIFO回路に入力される前の対応するデータの内容とを照合することによって、FIFO回路の全メモリ領域においてそれぞれビット破壊があるか否かを判定できると共に、FIFO回路内の書き込みアドレスカウンタ及び読み出しアドレスカウンタによる各アドレス指定にズレがあるかないかということなども判定できるようにしたものを提案している(特願平2-40739号)。

【0006】 一方、プリンタ制御装置で使用されているDMAコントローラは、外部デバイスが直接システム・メモリと情報のやりとりを行なうことを可能にし、システム性能を向上させるように設計されている。さらに、プログラマブルなDMAコントローラデバイスに関しては、例えば以下の(1)～(3)に示すように内部レジスタを用途に応じた値にセットして使用することが行なわれている。

【0007】 (1) 外部端子からの入力によりDMAを一時中断し、再度DMAスタートを要求された場合は中断した次のアドレスからDMAを再開する。

(2) 外部端子からの入力によりDMAを直ちに中断させて一度バスを解放し、まだDMA転送数が残っている場合は自動的にDMAを再開する。

(3) 外部端子からの入力によりDMAは中断せず、その外部端子への入力後予め設定された分だけDMAを実行した後DMAを中断し、まだDMA転送数が残っている場合は自動的にDMAを再開する。

## 【0008】

【発明が解決しようとする課題】 しかしながら、上述したようなFIFO回路を備えたプリンタ制御装置においては、作成されたビデオデータはFIFO回路、さらにはその後に続く周辺素子(ラッチ、シフト等)をも経由してエンジンに出力されるため、そのエンジンに実際に出力されるビデオデータをチェックするには、サマリシートあるいは実際のキャラクタ等をエンジンに出力してプリントさせ、その結果を確認しなければならなかった。

【0009】 一方、上述したようなDMAコントローラを備えたプリンタ制御装置では、プログラマブルなDMAコントローラデバイスを用いることによってさまざまなモードの自動設定など、機能的にはシステム性能の向上が期待できるようになってきているが、DMAを行なう上でソース及びディストネーションのアドレスにお

るデータをチェックする手段がなく、仮に行なうとしても、マイクロコンピュータがデータを取り込み、そこでデータの比較を行わなければならない、システムが複雑になるばかりでなく、その性能の低下につながってしまうという問題があった。

【0010】この発明は上記の点に鑑みてなされたものであり、作成したビデオデータがエンジンに出力されるまでに經由する周辺素子の自己診断及びその周辺素子からエンジンに出力されるビデオデータをチェックできるようにすることと、DMAコントローラがDMAの自己診断を行なえるようにして、マイクロコンピュータの負担を軽減できるようにすることを目的とする。

【0011】

【課題を解決するための手段】この発明は上記の目的を達成するため、上位装置から受信したデータに基づいてビデオデータを作成し、そのビデオデータをシリアルデータに変換してエンジンに出力するプリンタ制御装置において、上記シリアルデータをパラレルデータに変換してビデオデータのチェック及び周辺素子の自己診断を行なう手段と、上記シリアルデータを通常のビデオデータの出力とビデオデータのチェック及び周辺素子の自己診断用出力とに制御信号により振り分ける手段とを設けたものである。

【0012】また、メモリ間で直接データ転送を行なうダイレクトメモリアクセスの制御をするDAMコントローラを備えたプリンタ制御装置において、DMAコントローラが、ダイレクトメモリアクセスを行なったソースデータとディストネーションデータとを比較する自己診断手段を有し、上記ダイレクトメモリアクセスと自己診断とを選択的に実行するようにしたものである。なお、自己診断手段による自己診断結果がエラーと判断された場合には、ダイレクトメモリアクセス動作を中止して他の手段によってデータ転送を行なうようにするとよい。

【0013】

【作用】第1の発明によれば、エンジンに出力されるシリアルデータをパラレルデータに変換してビデオデータのチェック及び周辺素子の自己診断を行なうと共に、上記シリアルデータを通常のビデオデータの出力とビデオデータのチェック及び周辺素子の自己診断用出力とに制御信号により振り分けるようにしたので、エンジンへの出力データのチェック及び周辺素子の自己診断をサマリシート等を出力せずに容易に行なうことができる。

【0014】第2の発明によれば、DMAコントローラが、ダイレクトメモリアクセスを行なったソースデータとディストネーションデータとを比較して自己診断を行ない、且つ上記ダイレクトメモリアクセスと自己診断とを選択的に実行するので、マイクロコンピュータ側の負担が軽減され、しかもDMAコントローラの用途が拡張する。なお、自己診断結果がエラーと判断された場合には、ダイレクトメモリアクセス動作を中止して他の手段

によってデータ転送を行なうようにすれば、メモリ間のデータ転送を確実に行なうことができる。

【0015】

【実施例】以下、この発明の実施例を図面に基づいて具体的に説明する。図2は、この発明の一実施例であるレーザプリンタの構成を示すブロック図であり、プリンタコントローラ（プリンタ制御装置）2、プリンタエンジン3、及びオペレーションパネル（パネル装置）4によって構成されている。そのうち、プリンタコントローラ2は上位装置であるホスト15から受信したデータ（印字データ及び印字制御データ等）に基づいてビデオデータを作成し、そのビデオデータをシリアルデータ（ビデオ信号）に変換してプリンタエンジン3に出力する。

【0016】このプリンタコントローラ2は、ホストインタフェース5、パネルインタフェース6、バスバッファ7、エンジンインタフェース8の各インタフェース回路と、中央処理装置（以下「CPU」と略称する）9、プログラムROM10、フォントROM11、RAM12、オプションRAM13とを備えている。なお、上記各部はアドレスバス、制御バス、及びデータバスからなるバスライン14によって相互に接続されている。

【0017】ホストインタフェース5は、ホスト15との間で各種の制御命令やデータの送受信を司るためのインタフェース回路であり、接続するホストに合わせて各種のシリアルインタフェースあるいはパラレルインタフェースを選択する。パネルインタフェース6は、オペレーションパネル4との間で表示制御データの送信と各キー情報の受信を行なっている。

【0018】バスバッファ7は、フロントカード16をバスライン14に接続して、フロントデータの受信を司る。エンジンインタフェース8は、プリンタエンジン3との間で命令コマンドやステータス情報等のデータの送受信を司る。

【0019】CPU9は、汎用の16又は32ビットの中央処理装置であり、プログラムROM10内のプログラムに従ってプリンタコントローラ全体の統括制御を司る。プログラムROM10はCPU9を動作させるための制御プログラムを、フォントROM11は常駐フォントのデータをそれぞれ格納している。

【0020】RAM12はランダムアクセスメモリであり、CPU9がデータを処理する際に使用するワークメモリ、ホスト15からのデータをページ単位に管理して一時記憶するバッファ、そのバッファに記憶されたデータを実際の印字パターンに変換し、ビデオデータとして記憶するビットマップメモリ、ホスト15からのダウンロードフォントデータあるいはフォントカード16からのフォントデータを格納するフォントファイル等に使用される。

【0021】オプションRAM13は、例えば不揮発性メモリであり、設定されているモード情報（プリントフ

フォーマット、フォントの選択、エミュレーションの選択、解像度の選択、ホストインタフェースの選択等)や、サービス情報(エラー情報、稼働情報等)などを記憶する。

【0022】ホスト15は、オフィスコンピュータ、パーソナルコンピュータ、ワードプロセッサ、データ処理装置等のホストマシンであり、ここで作成された文書情報等をプリントするために、プリンタ1へ対応する印字データ及び印字制御データ等を送信する。

【0023】オペレーションパネル4は、各種情報を入力するための各種の操作キー及び表示器を備えている。フォントカード16は、オプションのフォントデータを格納したRAMあるいはROMを内蔵しており、これを図示しないプリンタ外面に設けられたスロットに挿着することによって、そのフォントデータを使用してプリントを行なわせることができる。

【0024】プリンタエンジン3は、内部の図示しない感光体上をビデオ信号に応じて変調されるレーザ光により光学的に走査するレーザ書込ユニット、感光体とその周囲の各プロセス機器から構成される画像形成ユニット、並びにレジストローラ対等の各ローラ等からなる用紙搬送部などからなる機構部と、その制御部であるエンジンドライバとからなり、プリンタコントローラ2からのコマンド及びビデオ信号によって、エンジンドライバが画像形成ユニット及び用紙搬送部のシーケンス動作とレーザ書込ユニットへのビデオ変調信号を制御してプリントを実行する。

【0025】ここで、ホストインタフェース5を通してホスト15から送られてくるデータは、CPU9により印字データ及び印字制御データ(SP, CR, LF, HT, VT等)とその他に分けられ、印字データはバッファに記憶される。ホスト15からのプリント命令又はホスト15から受け取ったデータが1ページ分を超えた時、CPU9はエンジンインタフェース8を通してプリンタエンジン3にプリントスタートの命令を出す。以上のような一連の流れで、ホスト15からの印字データがプリンタエンジン3を介して印字される。

【0026】図1は、この実施例の主要部を示すブロック回路図であり、CPU9及びRAM12を除く各回路はエンジンインタフェース8に設けられている。図1の回路において、FIFO回路21の初期化を行なうために、CPU9からリセット信号RESETが入力される。その後、FIFO回路21へのデータ書き込みストロブ信号であるライト信号/WRITE(「/」は負論理を意味し、図中では信号名にオーバラインを付して示す)により、CPU9あるいはRAM12から転送されたデータ(ビデオデータ)が、バスライン14中のCPUデータバス14aを介してFIFO回路21に書き込まれ、この動作が繰り返される。

【0027】またFIFO回路21からのデータの読み

出しは、プリンタエンジン3からのライトクロック信号PWCLKに同期して行なわれ、シリアルデータとしてプリンタエンジン3に出力される。なお、この実施例におけるFIFO回路21は、8又は16ビットのデータを出力し得る数の出力端子を備えている。

【0028】FIFO回路21内のデータが実際にプリンタエンジン3に出力されるまでの過程を具体的に説明すると、まずFIFO回路21にリード信号/READ(FIFO回路21のデータの読み出しを制御する入力信号で、この場合CPU9からの制御信号とプリンタエンジン3から供給されるライトクロック信号PWCLKとによって制御回路22内で生成される)を入力して得られる出力データを、リード信号/READの立ち上がりでD型フリップフロップ回路からなるラッチ23がラッチする。

【0029】次に、そのラッチしたパラレルデータを、制御回路22から出力されるシフト/ロード信号S/Lがローレベル“L”になった時にシフト24にロードし、その後後述するセレクト25によって選択されたプリンタエンジン3からのライトクロック信号PWCLKに同期して、シフト24の出力端子QHからシリアルデータとしてプリンタエンジン3に出力させる。このプリンタエンジン3への出力は、FIFO回路21にデータが存在している間リード信号/READによって継続する。

【0030】通常は、このようなシリアルデータ転送の場合、そのデータはプリンタエンジン3にのみ転送される。そこで、この実施例においては、シフト24からのシリアルデータがFIFO回路21に書き込まれたデータと一致するか否かを検証するために、そのシリアルデータを再度パラレルデータに変換してCPUデータバス14aを介してCPU9内で比較し、プリントされるべきビデオデータのチェック及びその周辺素子の自己診断をプリンタコントローラ2内で行なえるようにするための回路を備えている。

【0031】また、上述したプリンタエンジン3に出力すべきシリアルデータを生成する回路と、ホストインタフェース(例えばRS-232C)5、パネルインタフェース6、あるいはエンジンインタフェース8で使用されているシリアル/パラレル変換器(例えばUART等)26とを、新たに設けた2つのセレクト25、27によって使い分けし、機能の共有化を図れるようにしている。

【0032】ここで、通常の場合はシフト24からのシリアルデータをプリンタエンジン3に直接出力する。この場合、シフト24に供給されるクロックはプリンタエンジン3からのライトクロック信号PWCLKがセレクト25によって選択される。セレクト25は、発振器28及び分周器29によって生成されたクロック信号とライトクロック信号PWCLKのいずれか一方をCPU9

からのセレクト信号Aによって選択して出力する。

【0033】セレクト27は、シフト24からのシリアルデータあるいはシリアル受信信号のいずれか一方をCPU9からのセレクト信号Bによって選択して出力する。このとき、シリアル受信信号が選択された場合にはその信号がシリアル/パラレル変換器26に入力されて、通常の動作を継続する。

【0034】一方、ビデオデータのチェック及びその周辺素子の自己診断を行なう場合のシフト24へのクロックは、シリアル転送時のボーレートに対応したものになる。すなわち、セレクト25がセレクト信号Aにより発振器28及び分周器29によって生成されたクロックを選択してシフト24に出力する。そして、そのクロックに同期してシフト24から出力されるシリアルデータをセレクト27がセレクト信号Bによって選択してシリアル/パラレル変換器26のシリアル入力端子(RxD)に入力する。

【0035】シリアル/パラレル変換器26は、その入力されたシリアルデータをパラレルデータに変換し、CPUデータバス14aを介してCPU9に転送し、CPU9はそのパラレルデータとFIFO回路21に書き込まれたデータ(ビデオデータ)との比較を行なう。

【0036】なお、この実施例におけるセレクト27は、内部にそれぞれの入力に対して3ステートバッファG1、G2を設けており、CPU9からのセレクト信号Bがイネーブル端子になるような回路となっている。すなわち、セレクト信号Bがハイレベル“H”の時に開くビデオデータのチェック用、ローレベル“L”の時に開く通常のシリアル受信用の2つの3ステートバッファG1、G2により切り替えられる。また、セレクト25と27は1つにまとめることも可能である。

【0037】以上の手順でビデオデータのチェックが行なわれるが、その結果が元のデータと異なる場合には、FIFO回路21あるいは周辺素子に何らかの原因があると考えられ、回路の自己診断も同時に行なえる。なお、データの比較を行なうのはCPU9に限らない。図3に、この実施例におけるCPU9による上述したこの発明に係わる処理の流れを示す。

【0038】このように、この実施例によれば、プリンタエンジン3に出力されるシリアルデータをパラレルデータに変換してビデオデータのチェック及び周辺素子の自己診断を行なうと共に、上記シリアルデータを通常のビデオデータの出力とビデオデータのチェック及び周辺素子の自己診断用出力とに制御信号により振り分けるようにしたので、プリンタエンジン3への出力データのチェック及び周辺素子の自己診断をサマリシート等を出力せずに容易に行なえる。

【0039】図4はこの発明の他の実施例であるレーザプリンタの構成を示すブロック図であり、図2と同じ部分には同一符号を付して説明を省略する。DMAコン

ローラ(DMAC)31は、外部デバイス(ROM、RAM等)がCPU9を介さずに直接システムメモリと情報の転送(以下「DMA」という)を行なえるようにし、システムの性能を向上させる機能を持つ。また、これにはプログラム可能なものもあり、多様な動作モードの自動設定も行なえる。

【0040】図5はDMAコントローラ31の構成例を示すブロック回路図、図6はこの実施例による処理動作を示すフローチャートであり、その各図を用いてこの実施例の作用を説明する。なお、通常DMA動作が開始されるまでには、図6のフローの5、6、7、8のステップを要する(ここではブルーポイント社製のBP100AというICを用いた場合)。図7乃至図9にそのICのDMA動作のタイミングチャートを示す。

【0041】この実施例では、あるフォントをフォントROM11からRAM12へDMAコントローラ31を用いてダウンロードする場合において、そのDMAコントローラ31が通常のDMA動作と自己診断を行なう方法について考える。いま、ソースデータの領域をフォントROM11(RAM12でもよい)のアドレスA1-A2とし、ディストネーションデータの領域をRAM12のアドレスA1'-A2'をとると、この実施例の動作は図6の各ステップ毎に以下ようになる。

【0042】まず、ステップ1でCPU9が制御回路32へDMAコントローラ31を起動させるための制御信号を送り、ステップ2でタイミング制御回路33がセレクト信号を出力してソースアドレスレジスタ(SAR)34を選択する。そして、CPU9がDMAコントローラ31を介してソースデータの領域の先頭アドレスA1をソースアドレスレジスタ34に書き込む。

【0043】また、ソースアドレスレジスタ(SAR)35を選択し、ソースデータの領域の最後尾アドレスA2をソースアドレスレジスタ35に書き込む。さらに、タイミング制御回路33がセレクト信号を切り替え、CPU9がディストネーションアドレスレジスタ(DAR)36にディストネーションデータの領域の先頭アドレスA1'を書き込む。この時、ディストネーション側の最後尾アドレスは、ソース側でアドレスのカウント値を設定すれば必然的に決まる。

【0044】次いで、ステップ3でCPU9がカウンタバリュレジスタ(CVR)37にソースデータの領域に相当するアドレスのカウント値N( $N = (A2 - A1) / M + 1$ )をセットする。但し、Mはバイト、ワード(例えばRISK型プロセッサのAm29000で用いられ、16ビット転送となる)、ワード(32ビット)転送のいずれかによってその値が異なる。

【0045】例えばA1=0x1000000、A2=0x100002Cであるような領域を持ち、ワード転送であれば、 $M = 32 \text{ビット} / 8 \text{ビット} = 4$ となるから、

$N = (0 \times 100002C - 0 \times 1000000) / 4 + 1$  (1は先頭アドレスを含めた分)

$N = 0 \times 2C / 4 + 1 = 12$

となり、この値がカウントバリュレジスタ37にセットされる。

【0046】ステップ4では、制御回路32からのモード切替え信号により、タイミング制御回路33はDMAコントローラ31のモードを自己診断モードあるいはDMAモードのいずれかに切り替える。ここまでの初期設定は、DMAコントローラ31のもつアイドルサイクル (NEC製のDMAコントローラで $\mu$ PD8237Aのもつ動作サイクルの一つ) の中で行なっておく。

【0047】ステップ5では、タイミング制御回路33がDMAリクエスト信号DMAREQの入力を持ち、その信号DMAREQが入力されると、ステップ6で図示しないバスリクエスト信号/BREQを“L”にセットしてステップ7へ進み、図示しないバスグラント信号/BGNTLが“L”か否かを判断し、その信号/BGNTLが“L”になると、ステップ8でバスグラントアクノリッジ信号/BLACKLを“L”にセットし、ステップ9へ移行する。

【0048】ステップ9では、カウントバリュレジスタ37の値をアドレスカウンタ(AC)38にロードし、ステップ10でカウントアップによる1回目のDMA動作を行ない、ステップ11でDMAモードか自己診断モードかを判断し、自己診断モードならば、ステップ12でフロントROM11及びRAM12へそれぞれデータ読み出し制御信号(チップセレクト信号、出力イネーブル信号等)を送出する。

【0049】それによって、ROM11及びRAM12の各先頭アドレス(または任意に指定したアドレス)からデータを読み出し、その各データをステップ13で比較器39が内部のソースデータレジスタ(SDR)39a、ディストネーションデータレジスタ(DDR)39bにそれぞれ格納し、その後ステップ14で比較器39内の比較回路39cがその各レジスタ39a、39bの各データの内容を比較する。

【0050】そして、各レジスタ39a、39bの各データの内容が一致しないと判断すると、エラー検出回路39dがDMAリクエスト信号DMAREQ信号等を生

成する制御回路32へエラー信号を出力し、ステップ17では制御回路32がCPU9へエラーを示すインタラプト信号を送信してDMA動作及びそれに伴う自己診断を中止し、ステップ18ではDMAの代わりにシステムを停止させずにデータ転送を行なえるようにする。

【0051】このデータ転送手段としては、例えばCPU9を介してデータを転送することがあげられ、多少時間はかかるが比較的数据量が少ない場合は、むしろそのままデータ処理を継続させた方が良い場合もある。なお、上記の比較器39によるデータ比較は、任意のアド

レスに対して部分的に行なっても、全ての領域に対して行なってもよい。

【0052】ステップ14で各レジスタ39a、39bのデータの内容が一致すると判断した場合には、ステップ15でアドレスカウンタ38よりキャリーが発生した否か、すなわちDMAが終了したか否かを判断するが、最初はキャリーは発生しないので、制御回路32及びタイミング制御回路33によりアドレスカウンタ(AC)38をカウントアップ(+1)させてDMAを続行させ、ステップ12に戻る。上述の動作を繰り返し、アドレスカウンタ38からキャリーが発生した時にDMA動作及び自己診断を終了する。

【0053】一方、タイミング制御回路33がDMA動作のみを実行し自己診断を行なわないDMAモードを使用する場合には、ステップ4でCPU9が制御回路32から出力されるモード切替信号を通常のDMA動作用に設定し、その後ステップ11まで上述と同様の動作が行なわれ、ステップ11ではタイミング制御回路33がDMAモードと判断するので、アドレスカウンタ38からキャリーが発生するまでDMA動作のみを実行する。この場合、データ読み出し制御信号は外部メモリであるフロントROM11及びRAM12に送出しない。

【0054】このように、この実施例によれば、DMAコントローラ31が、自己診断モードの時にはDMAを行なったソースデータとディストネーションデータとを比較して自己診断を行ない、DMAモードの時にはDMA動作を行なうので、マイクロコンピュータ側の負担が軽減され、しかもDMAコントローラの用途が拡張する。また、自己診断結果がエラーと判断された場合には、DMA動作を中止して他の手段によってデータ転送を行なうので、システムの機能を中断させることなくデータ転送が確実に行なえるというメリットが期待できる。

【0055】以上、この発明をレーザプリンタにおけるプリンタ制御装置(プリンタコントローラ)に適用した実施例について説明したが、この発明はこれに限らず、LEDプリンタ、液晶シャッタープリンタ等の他の光プリンタには勿論、デジタル複写機のプリンタ部などの画像形成装置で用いられるプリンタ制御装置に適用し得るのである。

【0056】

【発明の効果】以上説明したように、この発明によれば、作成したビデオデータがエンジンに出力されるまでに經由する周辺素子の自己診断及びその周辺素子からエンジンに実際に出力されるビデオデータが正常か否かをチェックできる。また、DMAコントローラがDMAの自己診断を行なえるので、マイクロコンピュータの負担を軽減できる。

【図面の簡単な説明】

【図1】図2の実施例の主要部を示すブロック回路図で



ある。

【図2】この発明の一実施例であるレーザプリンタの構成を示すブロック図である。

【図3】図2のCPU9によるこの発明に係わる処理を示すフロー図である。

【図4】この発明の他の実施例であるレーザプリンタの構成を示すブロック図である。

【図5】図4のDMAコントローラ31の構成例を示すブロック回路図である。

【図6】図5の実施例による処理動作を示すフロー図である。

【図7】BP100AのDMAコントローラにおけるDMA要求タイミングに係わる動作を示すタイミング図である。

【図8】同じくそのDMAコントローラにおけるDMA時のリードタイミングに係わる動作を示すタイミング図である。

【図9】同じくそのDMAコントローラにおけるDMA解放タイミングに係わる動作を示すタイミング図である。

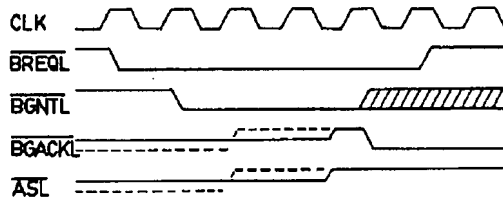
【符号の説明】

- |            |              |
|------------|--------------|
| 1 レーザプリンタ  | 2 プリンタコントローラ |
| 3 プリンタエンジン | 8 エンジンイ      |

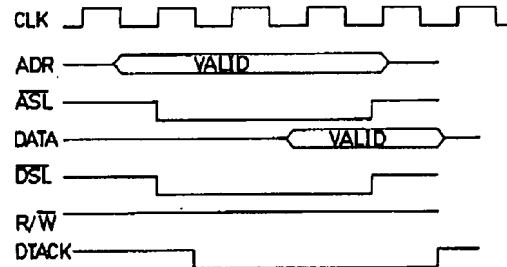
インタフェース

- |                            |              |
|----------------------------|--------------|
| 9 中央処理装置 (CPU)             | 10 プログラムROM  |
| 11 フォントROM                 | 12 RAM       |
| 13 オプションRAM                | 15 ホスト       |
| 16 フォントカード回路               | 21 FIFO      |
| 22 制御回路                    | 23 ラッチ       |
| 24 シフタ                     | 25, 27 セレクタ  |
| 26 シリアル/パラレル変換器            | 28 発振器       |
| 29 分周器                     | 31 DMAコントローラ |
| 32 制御回路                    | 33 タイミング制御回路 |
| 34, 35 ソースアドレスレジスタ (SAR)   |              |
| 36 ディストネーションアドレスレジスタ (DAR) |              |
| 37 カウントバリュレジスタ (CVR)       |              |
| 38 アドレスカウンタ                | 39 比較器       |
| 39a ソースデータレジスタ (SDR)       |              |
| 39b ディストネーションデータレジスタ (DDR) |              |
| 39c 比較回路                   | 39d エラー検知回路  |

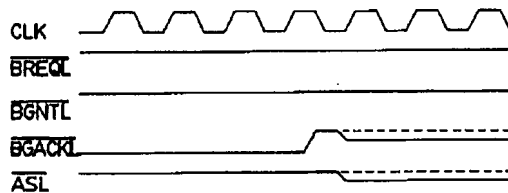
【図7】



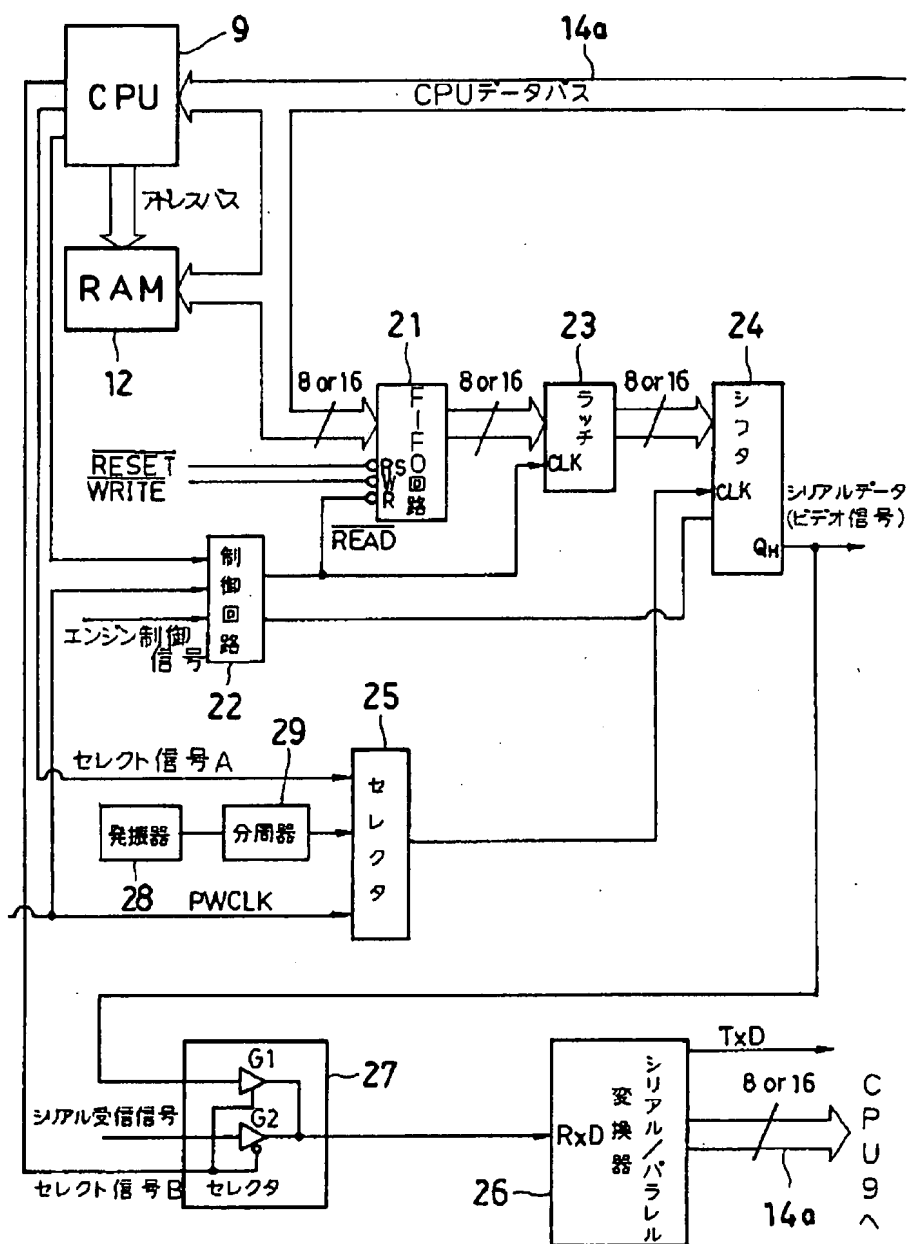
【図8】



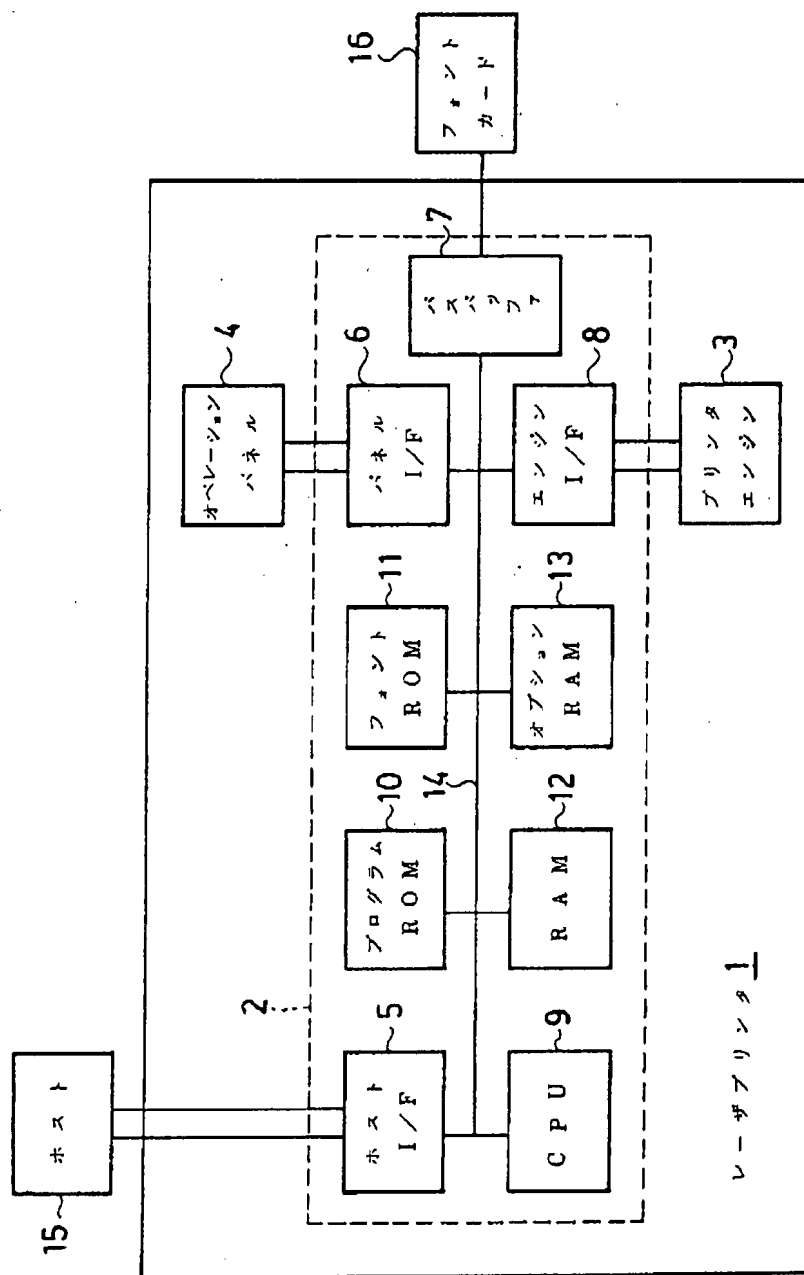
【図9】



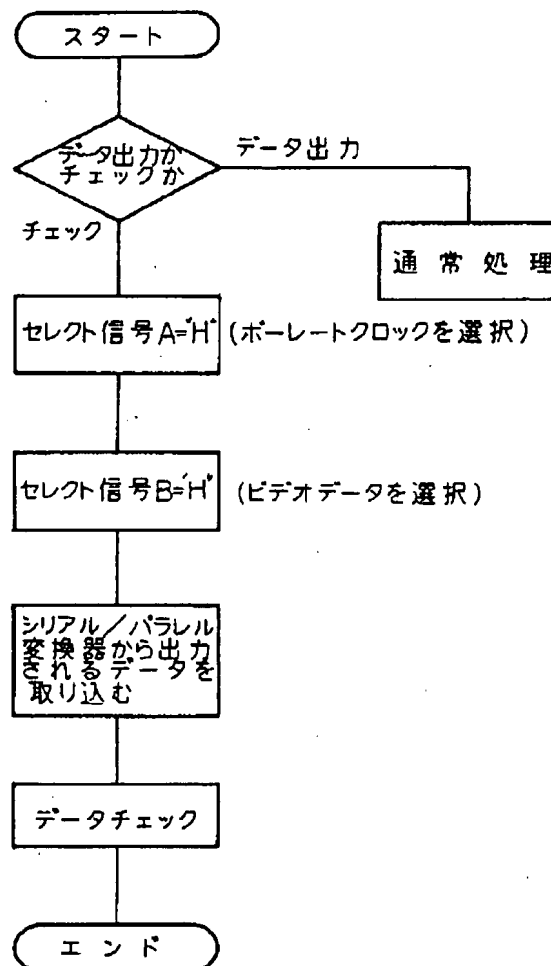
【図1】



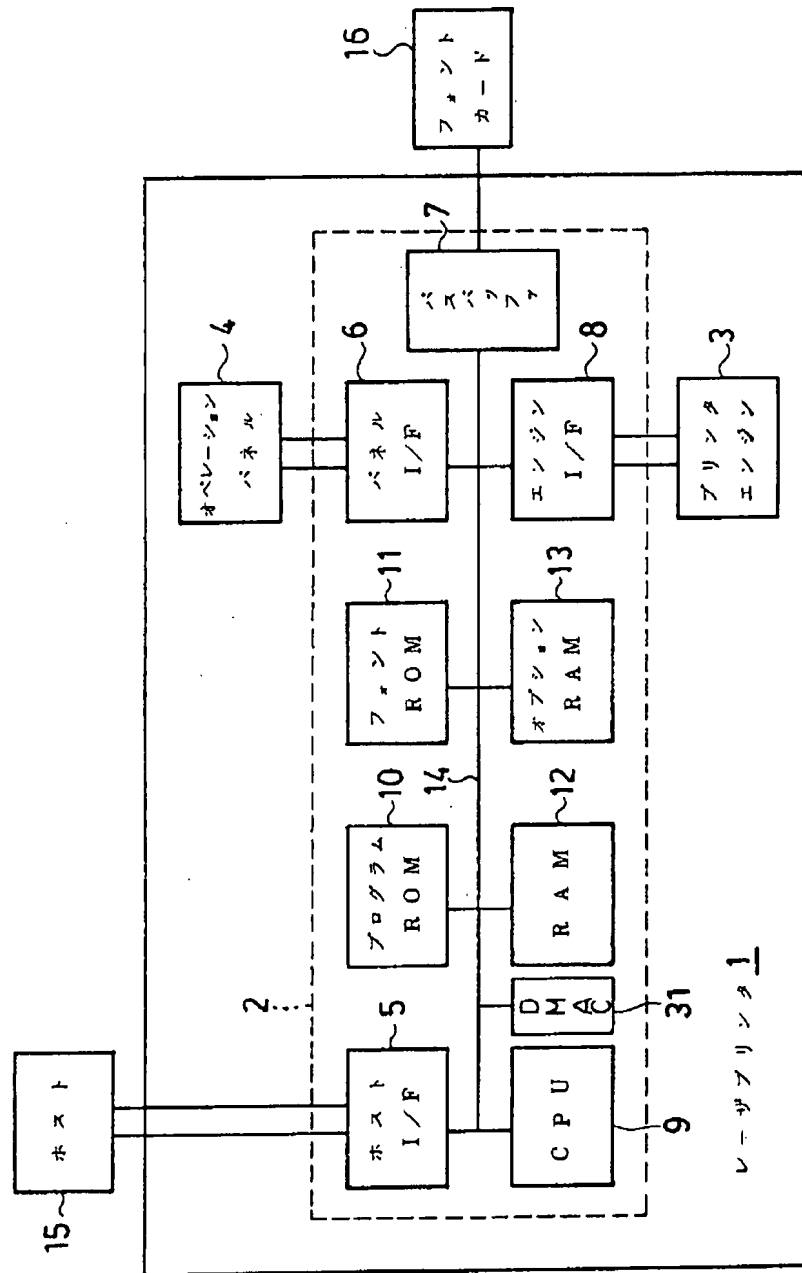
【図2】



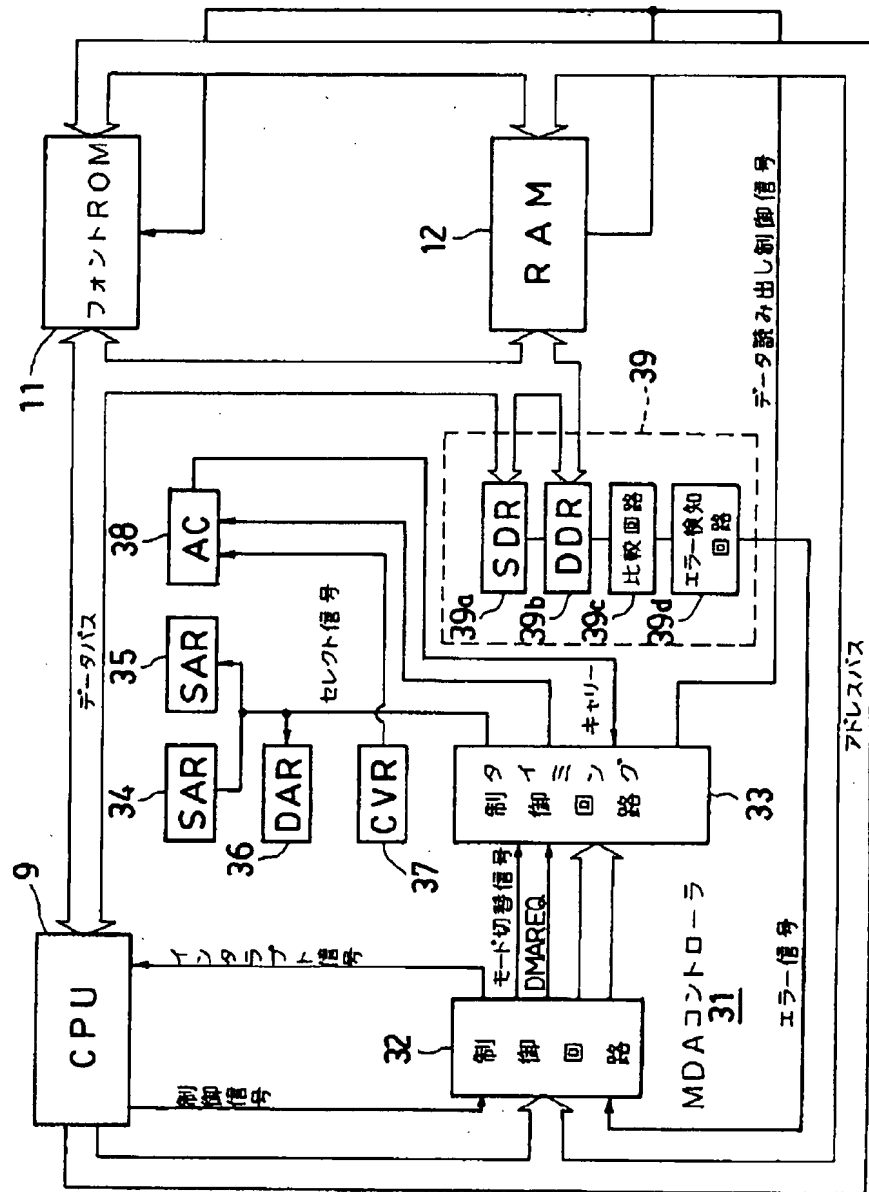
【図3】



【図4】



【図5】



【図6】

